









METHOD AND APPARATUS FOR PROGRAMMING ANTI-FUSES USING INTERNALLY GENERATED PROGRAMMING VOLTAGE

Patent number: WO9745872
Publication date: 1997-12-04
Inventor: SHER JOSEPH C; SMITH ERIC J
Applicant: MICRON TECHNOLOGY INC (US)
Classification:
- international: H01L23/525; G11C17/16
- european: G11C17/18
Application number: WO1997US09238 19970528
Priority number(s): US19960654338 19960528

Also published as:

 E P0898786 (A1)
 US 5896041 (A1)
 E P0898786 (B1)

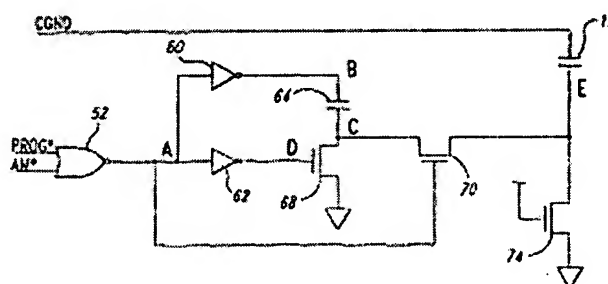
Cited documents:

 US 5316971
 E P0436247
 US 4775959
 US 5299152
 US 5319592
more >>

[Report a data error here](#)

Abstract of WO9745872

A programming circuit for an anti-fuse utilizes a boot circuit that charges a capacitor to the supply voltage during a non-programming period. Anti-fuse is to be programmed, the plate of the capacitor to which the supply voltage has been applied is switched to 0 volt, thereby causing the other plate of the capacitor to output a negative voltage. This negative voltage is switched to one plate of an anti-fuse, and the other plate of the anti-fuse receives a positive voltage from an external source. A voltage is thereby applied across the anti-fuse that is greater than any voltage applied to any node of the integrated circuit.



Data supplied from the **esp@cenet** database - Worldwide

【特許請求の範囲】

1. 集積回路に製造された第1の端子と第2の端子を有するアンチヒューズをプログラムする方法において、
前記アンチヒューズの第1の端子に正電圧を印加し、
前記アンチヒューズの第2の端子に負電圧を印加し、前記アンチヒューズの第1の端子と第2の端子の両端に印加される電圧が前記正電圧若しくは前記負電圧のいずれよりも大きくなるようにしたことを特徴とする方法。
2. 前記正電圧は前記集積回路の外部の源から前記アンチヒューズの第1の端子へ印加される請求項1記載の方法。
3. 前記負電圧は前記集積回路の外部の源から前記アンチヒューズの第2の端子へ印加される請求項1記載の方法。
4. 前記正電圧は前記集積回路の外部の源から前記アンチヒューズの第1の端子へ印加され、前記負電圧は前記集積回路の外部の源から前記アンチヒューズの第2の端子へ印加される請求項1記載の方法。
5. 前記正および負電圧の少なくとも一方は、キャパシタの第1のプレートに第1の電圧を印加し、その一方で前記キャパシタの第2のプレートを第2の電圧に保持し、更に、前記キャパシタの第1のプレートを第3の電圧に切り換え、そして、前記キャパシタの第2のプレートを前記アンチヒューズに接続することによって、前記集積回路の内部で発生される、請求項1記載の方法。
6. 前記第1の電圧は前記集積回路のための電源電圧であり、前記第2および第3の電圧はグラウンド電位である、請求項5記載の方法。
7. 前記キャパシタを前記アンチヒューズを通じて帯電させる段階と、その後、前記キャパシタが前記所定の電圧へ帯電された後に、前記キャパシタの第2のプレートにおける電圧をクランプする段階と、を更に備える請求項5記載の方法。
8. 前記アンチヒューズは、そのドレインとそのソースが前記第1および第2の端子の一方に接続され、そのゲートが前記第1および第2の端子の他方に接続された、ドレイン、ソース、およびゲートを有するMOSFETである請求

項 1 記載の方法。

9. 前記アンチヒューズは前記第 1 および第 2 の端子にそれぞれ接続された第 1 および第 2 の導電性プレートによって形成されており、前記プレートは互いに非導電性物質によって分離されている、請求項 1 記載の方法。

10. 第 1 および第 2 の端子を有するアンチヒューズをプログラムするためのプログラミング回路であって、前記プログラミング回路と前記アンチヒューズは、1 つの電源電圧によって電力を供給される共通の集積回路内に製造されている、前記プログラミング回路において、

前記アンチヒューズの第 1 の端子に接続され、所定極性の第 1 のプログラミング電圧を受け取るようにされた、外部でアクセス可能な外部アクセス可能端子と、

前記アンチヒューズの第 2 の端子に接続され、プログラム入力信号に応答して前記第 1 のプログラミング電圧の極性とは反対極性を有する第 2 のプログラミング電圧を電源電圧から発生し、これにより、前記第 1 および第 2 のプログラミング電圧の間の差に対応する電圧が前記アンチヒューズの前記第 1 および第 2 の端子の両端にわたって印加されるようにした、ブート回路と、
を備えることを特徴とする回路。

11. 前記第 1 のプログラミング電圧は正の極性であり、前記第 2 のプログラミング電圧は負の極性である請求項 10 記載の回路。

12. 前記ブート回路は、

第 1 および第 2 のプレートを有するキャパシタと、

前記アンチヒューズがプログラムされていないときは前記キャパシタの第 1 のプレートを前記電源電圧に結合し、前記アンチヒューズがプログラムされているときは第 1 の電圧に結合する、第 1 の切替え回路と、

前記第 1 の切替え回路が前記キャパシタの第 1 のプレートを前記電源電圧に結合しているときは前記キャパシタの第 2 のプレートを第 2 の電圧に結合する

第 2 の切替え回路と、

前記第 1 の切替え回路が前記キャパシタの第 1 のプレートを前記第 1 の電圧

へ結合している時間の少なくとも一部の時間中に、前記キャパシタの第2のプ

レートの前記アンチヒューズ回路の第2の端子に結合する、第3の切替え回路と、

を更に備える請求項10記載の回路。

13. 前記電源電圧は正の極性を有し、前記第1および第2の電圧は実質的に0ボルトであり、前記キャパシタの第2のプレートにおける電圧は、前記第1の切替え回路が前記キャパシタの第1のプレートを前記第1の電圧に結合しているときに負の極性を有する、請求項10記載の回路。

14. 前記ブート回路は、

第1および第2のプレートを有するキャパシタと、

プログラム制御信号を受け取る入力と前記キャパシタの第1のプレートに接続された出力とを有し、前記キャパシタの第1のプレートを、前記プログラム制御信号がアクティブでないときは前記電源電圧に結合し、前記プログラム制御信号がアクティブであるときはグラウンド電位に結合する、第1のインバータと、

前記キャパシタの第2のプレートに接続され、第1の制御信号に応答して前記キャパシタの第2のプレートをグラウンド電位に結合する、第1の切替え回路と、

前記プログラム制御信号を受け取る入力と前記第1の切替え回路に接続された出力とを有し、前記プログラム制御信号がアクティブでないときに前記第1の制御信号を前記第1の切替え回路に与える、第2のインバータと、

前記プログラム制御信号を受け取る入力を有し、前記プログラム制御信号がアクティブである時間の少なくとも一部の時間中に、前記キャパシタの第2のプレートを前記アンチヒューズ回路の第2の端子に接続する、第2の切替え回路と、

を備える請求項10記載の回路。

15. 前記ブート回路は更に、前記アンチヒューズの第2の端子とグラウンドとの間に接続されたクランプ回路を有し、前記クランプ回路は、アンチヒューズ

を通じて帯電されている前記第1のキャパシタに応答して、前記アンチヒューズの第2の端子における電圧が実質的にグラウンド電位よりも上昇してしまう

ことを防止する、請求項14記載の回路。

16. 前記アンチヒューズは、そのドレインとそのソースが前記第1および第2の端子の一方に接続され、そのゲートが前記第1および第2の端子の他方に接続された、ドレイン、ソース、およびゲートを有するMOSFETである請求項10記載の回路。

17. 前記アンチヒューズは前記第1および第2の端子にそれぞれ接続された第1および第2の導電性プレートによって形成されており、前記プレートは互いに非導電性物質によって分離されている、請求項10記載の回路。

18. 集積回路上に製造され、電源電圧によって電力を供給されるダイナミックランダムアクセスメモリにおいて、

行および列に配列されたメモリセルのアレイと、

第1および第2の端子を有するアンチヒューズと、

前記アンチヒューズに結合され、前記アンチヒューズをプログラムすることに応答してイネイブルされる、機能回路と、

前記アンチヒューズをプログラムするためのプログラミング回路と、を備え

、
前記プログラミング回路は、前記アンチヒューズの第1の端子に接続された外部でアクセス可能な外部アクセス可能端子を有し、この外部アクセス可能端子は、所定極性の第1のプログラミング電圧を受け取るようにされており、前記プログラミング回路は更に、前記アンチヒューズの第2の端子に接続されたブート回路を有し、このブート回路は、プログラム入力信号に応答して前記第1のプログラミング電圧の極性とは反対極性を有する第2のプログラミング電圧を電源電圧から発生し、これにより、前記第1および第2のプログラミング電圧の間の差に対応する電圧が前記アンチヒューズの第1および第2の端子の両端にわたって印加され前記冗長メモリセルをイネイブルするようにしている、

ことを特徴とするメモリ。

19. 前記第1のプログラミング電圧は正の極性であり、前記第2のプログラミング電圧は負の極性である請求項18記載のメモリ。

20. 前記ブート回路は、

第1および第2のプレートを有するキャパシタと、

前記アンチヒューズがプログラムされていないときは前記キャパシタの第1のプレートを前記電源電圧に結合し、前記アンチヒューズがプログラムされているときは第1の電圧に結合する、第1の切替え回路と、

前記第1の切替え回路が前記キャパシタの第1のプレートを前記電源電圧に結合しているときは前記キャパシタの第2のプレートを第2の電圧に結合する、第2の切替え回路と、

前記第1の切替え回路が前記キャパシタの第1のプレートを前記第1の電圧へ結合している時間の少なくとも一部の時間中に、前記キャパシタの第2のプレートを前記アンチヒューズ回路の第2の端子に結合する、第3の切替え回路と、

を更に備える請求項18記載のメモリ。

21. 前記電源電圧は正の極性を有し、前記第1および第2の電圧は実質的に0ボルトであり、前記キャパシタの第2のプレートにおける電圧は、前記第1の切替え回路が前記キャパシタの第1のプレートを前記第1の電圧に結合しているときに負の極性を有する、請求項20記載のメモリ。

22. 前記ブート回路は、

第1および第2のプレートを有するキャパシタと、

プログラム制御信号を受け取る入力と前記キャパシタの第1のプレートに接続された出力とを有し、前記キャパシタの第1のプレートを、前記プログラム制御信号がアクティブでないときは前記電源電圧に結合し、前記プログラム制御信号がアクティブであるときはグラウンド電位に結合する、第1のインバータと、

前記キャパシタの第2のプレートに接続され、第1の制御信号に応答して前

記キャパシタの第2のプレートをグラウンド電位に結合する、第1の切替え回路と、

前記プログラム制御信号を受け取る入力と前記第1の切替え回路に接続された出力とを有し、前記プログラム制御信号がアクティブでないときに前記第1の制御信号を前記第1の切替え回路に与える、第2のインバータと、

前記プログラム制御信号を受け取る入力を有し、前記プログラム制御信号がアクティブである時間の少なくとも一部の時間中に、前記キャパシタの第2のプレートを前記アンチヒューズ回路の第2の端子に接続する、第2の切替え回路と、

を備える請求項18記載のメモリ。

23. 前記ブート回路は更に、前記アンチヒューズの第2の端子とグラウンドとの間に接続されたクランプ回路を有し、前記クランプ回路は、アンチヒューズを通じて帯電されている前記第1のキャパシタに応答して、前記アンチヒューズの第2の端子における電圧が実質的にグラウンド電位よりも上昇してしまうことを防止する、請求項22記載のメモリ。

24. コンピュータシステムにおいて、

プロセッサと、

入力デバイスと、

出力デバイスと、

集積回路上に製造され、電源電圧によって電力を供給されるダイナミックランダムアクセスメモリ（「DRAM」）と、を備え、

前記DRAMは、行および列に配列されたメモリセルのアレイと；第1および第2の端子を有するアンチヒューズと；前記アンチヒューズに結合され、前記アンチヒューズをプログラムすることに応答してイネイブルされる、機能回路と；前記アンチヒューズをプログラムするためのプログラミング回路と；を有し、前記プログラミング回路は、前記アンチヒューズの第1の端子に接続された外部でアクセス可能な外部アクセス可能端子を有し、この外部アクセス可能端子は、所定極性の第1のプログラミング電圧を受け取るようにされてお

り、前記プログラミング回路は更に、前記アンチヒューズの第2の端子に接続されたブート回路を有し、このブート回路は、プログラム入力信号に応答して前記第1のプログラミング電圧の極性とは反対極性を有する第2のプログラミング電圧を電源電圧から発生し、これにより、前記第1および第2のプログラミング電圧の間の差に対応する電圧が前記アンチヒューズの前記第1および第2の端子の両端にわたって印加され前記機能回路をイネイブルするよう

にしている、

ことを特徴とするシステム。

- 25. 前記入力デバイスはキーボードである請求項24記載のシステム。
- 26. 前記出力デバイスはディスプレイである請求項24記載のシステム。
- 27. 前記機能回路は、前記アンチヒューズがプログラムされたときに、前記アレイ内のメモリセルを置換するためにアクティブにされる複数の冗長メモリセルを含む請求項24記載のシステム。
- 28. 前記第1のプログラミング電圧は正の極性であり、前記第2のプログラミング電圧は負の極性である、請求項24記載のシステム。
- 29. 前記ブート回路は、
 - 第1および第2のプレートに有するキャパシタと、
 - 前記アンチヒューズがプログラムされていないときは前記キャパシタの第1のプレートを前記電源電圧に結合し、前記アンチヒューズがプログラムされているときは第1の電圧に結合する、第1の切替え回路と、
 - 前記第1の切替え回路が前記キャパシタの第1のプレートを前記電源電圧に結合しているときは前記キャパシタの第2のプレートを第2の電圧に結合する、第2の切替え回路と、
 - 前記第1の切替え回路が前記キャパシタの第1のプレートを前記第1の電圧へ結合している時間の少なくとも一部の時間中に、前記キャパシタの第2のプレートを前記アンチヒューズ回路の第2の端子に結合する、第3の切替え回路と、を更に備える請求項24記載のシステム。

30. 前記電源電圧は正の極性を有し、前記第1および第2の電圧は実質的に0ボルトであり、前記キャパシタの第2のプレートにおける電圧は、前記第1の切替え回路が前記キャパシタの第1のプレートを前記第1の電圧に結合しているときに負の極性を有する、請求項29記載のシステム。

31. 前記ブート回路は、

第1および第2のプレートを有するキャパシタと、

プログラム制御信号を受け取る入力と前記キャパシタの第1のプレートに接

続された出力とを有し、前記キャパシタの第1のプレートを、前記プログラム制御信号がアクティブでないときは前記電源電圧に結合し、前記プログラム制御信号がアクティブであるときはグラウンド電位に結合する、第1のインバータと、

前記キャパシタの第2のプレートに接続され、第1の制御信号に応答して前記キャパシタの第2のプレートをグラウンド電位に結合する、第1の切替え回路と、

前記プログラム制御信号を受け取る入力と前記第1の切替え回路に接続された出力とを有し、前記プログラム制御信号がアクティブでないときに前記第1の制御信号を前記第1の切替え回路に与える、第2のインバータと、

前記プログラム制御信号を受け取る入力を有し、前記プログラム制御信号がアクティブである時間の少なくとも一部の時間中に、前記キャパシタの第2のプレートを前記アンチヒューズ回路の第2の端子に接続する、第2の切替え回路と、

を備える請求項24記載のシステム。

32. 前記ブート回路は更に、前記アンチヒューズの第2の端子とグラウンドとの間に接続されたクランプ回路を有し、前記クランプ回路は、アンチヒューズを通じて帯電されている前記第1のキャパシタに応答して、前記アンチヒューズの第2の端子における電圧が実質的にグラウンド電位よりも上昇してしまうことを防止する、請求項31記載のシステム。

【発明の詳細な説明】

内部発生されたプログラミング電圧を用いてアンチヒューズをプログラムする方法及び装置

産業上の利用分野

本発明は半導体回路のアンチヒューズをプログラム（プログラミング）することに関し、更に言えば、十分に高い電圧を用いてアンチヒューズをプログラムして、集積回路の他の素子に過度なストレスを与えることなく、一様に低抵抗であるプログラムされたアンチヒューズを提供する方法及び装置に関する。

従来の技術

アンチヒューズは従来の集積回路における一般的な構成部品である。アンチヒューズは、それがプログラムされるまでは通常、開回路とされた回路素子であり、プログラムされた時点では、アンチヒューズは比較的低抵抗を仮定している。アンチヒューズは、一般に、集積回路のある特性を選択的にイネイブルして（動作可能として）、集積回路の修復を行うために使用される。集積回路の修復は、一般に、アンチヒューズを「ブローイング（blowing）」して、冗長回路と置換されるべき集積回路の欠陥部分に信号を送ることによって達成される。例えば、ダイナミックランダムアクセスメモリのアレイ中のメモリセルの欠陥のある行（ロー）は、この目的で設けられたセルの冗長ローと置換され得る。

従来のアンチヒューズは、その構成に関しては、キャパシタと同様のものである。更に言えば、それらは誘電体若しくは絶縁体によって互いに分離された一対の導電性プレートを含んでいるという点において同様のものである。アンチヒューズは、一般に、例えば、酸化物若しくは窒化物である誘電体の特性によって特徴付けられている。アンチヒューズは、プレート間の差電圧を印加することによってプログラムされ、若しくは、「ブロー」される。ここで、この差電圧は誘電体を破壊するのに十分なものであり、これにより、それらのプレートを互いに接触させてしまう。一般に、この比較的高いプログラミング電圧は、通常は他の目的のために使用される端子を通じて外部でチップに印加される。例えば、D R A

Mでは、高電圧は、データビット端子の1つに、集積回路がプログラミングモー

ドにされた後に、例えば所定のビットの組み合わせを集積回路の他の端子に印加することによって印加される。

上に述べた従来のアンチヒューズは多くの用途で良好に機能するものであったが、それにもかかわらず、それらのアンチヒューズは、特に、最近の高密度集積回路で使用されるときは幾つかの欠点を有する。特に、アンチヒューズのプログラムされた抵抗（以下、プログラム抵抗という）は、かなりの範囲にわたって変化し、このプログラム抵抗は、しばしば所望とされたものより非常に高くなってしまふ。例えば、ときどき、このプログラム抵抗は、アンチヒューズに接続された回路素子がアンチヒューズは開回路とされていると誤って判断するに十分なほど高い。一般に、高めの電圧を有するプログラミングアンチヒューズは、プログラム抵抗を低下させるとともに、より一様な抵抗を与えることが知られている。しかしながら、アンチヒューズに印加され得るプログラミング電圧の大きさは、集積回路の他の回路素子の存在によってかなり制限される。特に、プログラミング電圧が印加される端子は、一般に、他の機能のために使用されるものであるから、余分なプログラミング電圧によって、そのような端子に接続されているMOSFETのゲート酸化物層は容易に破壊されてしまい、これによりそのようトランジスタは欠陥を有するものとなる。MOSFETのゲート酸化物層を破壊するプログラミング電圧は、一般的な集積回路の作動電圧の幅広い範囲によって悪化される。例えば、最近の集積回路は、電力消費を最小とするために3.3ボルトの電源電圧で動作し得るが、それらはいまだに、一般に使用される5ボルトの電源電圧で動作し得るものでなければならない。

余分なプログラミング電圧はまた、集積回路の入力端子に接続されて集積回路の残りの構成部品に静電放電（「ESD」）保護を提供するバイポーラトランジスタの放電開始電圧を超えてしまうこともある。この問題はバイポーラESD保護トランジスタの放電開始電圧を増加させることによってある程度は軽くされるが、これを行うことによって、ESD保護のセーフティマージンは減少してしまう。MOSFETのゲート酸化物層を破壊してしまうこと、および、バイポーラESD保護トランジスタの放電開始電圧を超えてしまうことの問題は、プログラ

ムアンチヒューズに専用の端子を用いることによってある程度は軽くされ得るが、それにもかかわらず、この問題は残る。なぜなら、プログラミング電圧を集積回路基板から隔離することは困難であろうからである。プログラミング電圧が集積回路基板に結合されている場合、かりにプログラミング電圧がトランジスタのゲートに直接的には印加されないとしても、余分な電圧はいまだにMOSFETのゲート酸化物層にわたって結合され得る。

アンチヒューズの状態をプログラムし且つ読み出すための従来の回路10が図1に示されている。図1に示されているように、アンチヒューズ12は、そのゲートは回路グラウンドCGRN入力に接続され、そのソースとドレインは互いに接続されているようなゲート、ソース、およびドレインを有するNMOSトランジスタ12の形態とされている。しかしながら、誘電体によって分離されている平行プレートのような他の様々なアンチヒューズもまた、図1に示された回路を用いてプログラムされ読み出され得る。回路10はまた、NORゲート14の入力に付与されるアクティブな（能動状態の）低プログラミング入力PRG*とアクティブな（能動状態の）低アドレス整合入力AM*も受け取る。NORゲート14の出力は、NMOSトランジスタ18を通じてグラウンドとアンチヒューズ12の間に接続されたNMOSトランジスタ16のゲートに付与される。NMOSトランジスタ18のゲートは電源電圧にバイアスされることから、NMOSトランジスタ16が導通しているときはいつでも、NMOSトランジスタ18は導通している。しかしながら、通常の動作中は、PRG*及び/またはAM*は高く、このため、NMOSトランジスタ16をオフ状態としてアンチヒューズをグラウンドから効果的に隔離する。

通常の動作では、回路グラウンドCGRN入力はグラウンドに接続される。アンチヒューズ12の状態は、高ヒューズ読出「FR」入力をNMOSトランジスタ30へ入力することによって読み出される。NMOSトランジスタ30のドレインは、PMOSトランジスタ32のドレインに接続されているのであるが、それはバイアスされていることから、それは本質的には電源電圧とNMOSトランジスタ30のドレインとの間に接続された抵抗として働く。したがって、ヒューズ読出FR入力が高くなったとき、NMOSトランジスタ30は、PMOSトラ

ンジスタ 32 を通じて電源電圧をアンチヒューズ 12 に印加する。よって、PMOS トランジスタ 32 とアンチヒューズ 12 は、本質的には、インバータ 40 の入力に接続された PMOS トランジスタ 32 のドレインにおいて出力を有する電圧ディバイダを形成する。

PMOS トランジスタ 32 のチャンネル長さ：幅の比は、アンチヒューズ 12 がブローされたときに低い論理レベルがインバータ 40 の入力へ付与されるように選択される。逆に、アンチヒューズ 12 がブローされないときは、高い論理レベルがインバータ 40 の入力に付与される。インバータ 40 の FOUT 出力は、こうして、高ヒューズ読出 FR 入力に付与されたときにアンチヒューズ 12 の状態の指示を与える。

アンチヒューズ 12 がプログラムされるべきとき、プログラム PRG* とアドレス整合 AM* 入力は共に低くされ、これにより、NOR ゲート 14 は論理高を出力する。この論理高は NMOS トランジスタ 16 をオン状態とし、これにより、NMOS トランジスタ 18 を通じて、NMOS トランジスタのソースとドレインによって形成されたアンチヒューズ 12 のプレートグラウンドに接続する。正電圧がその後、回路グラウンド CGRN 入力に印加され、これにより、アンチヒューズ 12 両端にわたる電圧を回路グラウンド CGRN 入力に印加されたプログラミング電圧の値に等しくする。

図 1 に示された従来の回路素子は、アンチヒューズ 12 とインタフェース接続する付加的な回路素子へ一体化されることは理解されよう。しかしながら、この付加的な回路素子は簡潔化および明確化のため省略されている。

図 1 に示された従来の回路 10 の主な欠点は、アンチヒューズ 12 両端における差分電圧が回路グラウンド CGRN 入力に印加されるプログラミング電圧の値に制限されることである。プログラミング電圧を十分に増加させて、比較的低い抵抗に向けてアンチヒューズ 12 を一様にプログラムした場合、このプログラミング電圧は、集積回路の MOSFET (図示されていない) のゲート酸化物層を破壊してしまうことが多く、また、バイポーラ静電放電保護 (「ESD」) トランジスタの放電開始電圧より大きくされることから、トランジスタはそのプログラミング電圧を ESD トランジスタのスナップバック電圧に制限しなければなら

なくなる。

故に、アンチヒューズを、集積回路の他の構成部費に損傷を与えずに比較的高い電圧を用いてプログラムする方法および装置が必要とされている。

発明の概要

集積回路に形成されたアンチヒューズをプログラムする本発明の方法および装置によれば、正電圧がアンチヒューズの第1の端子に印加され、負電圧がアンチヒューズの第2の端子に印加される。この結果、アンチヒューズの第1の端子と第2の端子の両端に印加される電圧は、正電圧若しくは負電圧のいずれよりも大きい。正および負電圧のいずれか若しくは双方が、集積回路の外部の源から、若しくは、集積回路の内部の電圧発生器から印加され得る。正若しくは負の電圧は、集積回路電源電圧のような第1の電圧をキャパシタの第1のプレートへ印加し、一方、キャパシタの第2のプレートはグラウンドのような第2の電圧に保持されることによって、内部で発生され得る。キャパシタが帯電された後に、キャパシタの第1のプレートは、グラウンドのような第3の電圧へ切り換えられ、キャパシタの第2のプレートはアンチヒューズに接続される。キャパシタは、好ましくは、プログラム制御信号を受け取る入力とキャパシタの第1のプレートに接続された出力とを有する第1のインバータを含んだブート回路によって帯電される。第1のインバータは、キャパシタの第1のプレートを、プログラム制御信号がアクティブでないとき（能動でないとき）は電源電圧へ、プログラム制御信号がアクティブであるとき（能動であるとき）はグラウンド電位へ結合する。第1の切替え回路は、キャパシタの第2のプレートへ接続される。この第1の切替え回路は、第2のインバータによって発生された第1の制御信号に応答して、キャパシタの第2のプレートをグラウンド電位に結合する。第2のインバータは、プログラム制御信号を受け取る入力と、このプログラム制御信号がアクティブでないときに第1の切替え回路に第1の制御信号を与える出力とを有する。第2の切替え回路は、プログラム制御信号を受け取る入力を有する。この第2の切替え回路は、プログラム制御信号がアクティブである時間の少なくとも一部の時間中に、キャパシタの第2のプレートをアンチヒューズの第2の端子に接続する。ブート回路はまた、好ましくは、アンチヒューズの第2の端子とグラウンドとの間に接

続されたクランプ回路を含む。クランプ回路は、アンチヒューズを通じて帯電されている第1のキャパシタに応答して、アンチヒューズの第2の端子における電圧が実質的にグラウンド電位よりも上昇してしまうことを防止する。

集積回路アンチヒューズをプログラムするための本発明の方法および装置は、どのようなタイプの集積回路においても使用され得るが、コンピュータシステムの一部としてもよいダイナミックランダムアクセスメモリで用いるのに有利である。また、本発明の方法および装置は、MOSFETによって形成されるアンチヒューズや、誘電若しくは絶縁物質によって互いに分離された導電性プレートによって形成されるアンチヒューズを含めた、あらゆるタイプのアンチヒューズをプログラムするために使用され得る。

図面の簡単な説明

図1は、アンチヒューズをプログラムし読み出すための従来の回路を示す。

図2は、アンチヒューズを比較的高い電圧を用いて安全にプログラムするシステムの好ましい実施形態のブロック図である。

図3は、図2の本発明のプログラミングシステムを実施する回路の好ましい実施形態を示す。

図4A乃至4Hは、図3の回路の様々なノードに存在する波形を示すタイミング図である。

図5は、本発明のアンチヒューズプログラム方法および装置を用いるダイナミックランダムアクセスメモリを含んだコンピュータシステムのブロック図である。

発明の実施形態

本発明のプログラミングシステム50の好ましい実施形態のブロック図が図2に示されている。図1の従来の回路と同様に、本発明のプログラミング回路50は、NORゲート52を用いて、アクティブな低プログラミング入力PROG^{*}とアクティブな低アドレス整合入力AM^{*}を受け取りデコードする。NORゲート52の出力は、アンチヒューズ12がプログラムされるべきときに、ブート回路54をトリガし、これにより、アンチヒューズ12の1つのプレートへ負電圧を出力する。アンチヒューズ12の反対側のプレートは、回路50の回路グラウ

ンドCGRN入力に接続される。重要なことは、ブート回路54は集積回路の内

部で負電圧を発生することである。この結果、アンチヒューズ12両端の電圧差は、集積回路に存在するいずれの電圧よりも大きなものとなり得る。例えば、5ボルトの正信号を回路グラウンド入力CGRNに付与し、ブート回路54が3ボルトの負信号をアンチヒューズ12の他方のプレートに付与することにより、アンチヒューズ12のプレート両端に8ボルトの差を与えることができる。

重要なことは、基板がグラウンドでバイアスされる場合、つまり、アンチヒューズに印加されるプログラミング電圧よりも3ボルト小さい場合に、集積回路のいずれかの他の構成部品に印加される最大電圧が5ボルトであることである。この結果、本発明のプログラミングシステム50は、集積回路の他の回路素子を危険にさらすことなく、アンチヒューズ12を比較的低い抵抗に向けて一様にプログラムすることができる。

図2に示された好ましい実施形態は、NORゲートを用いてプログラミングおよびアドレス整合信号をデコードすることによってトリガされるブート回路54を用いているが、他の技術を使用できることは当業者には明らかであろう。例えば、NORゲート52以外のゲートが使用されてもよく、アンチヒューズ12がプログラムされるべきであることを指示するために2つ若しくは3つ以上の入力信号をデコードする必要がないような、いずれかのタイプのゲートを使用する必要もない。更に、ブート回路54は負電圧を発生するが、負電圧が回路グラウンドCGRN入力へ印加される場合には、ブート回路54は正電圧を発生してもよいことは理解されよう。更に、反対極性の電圧が外部で発生されて、アンチヒューズ12に印加されてもよい。

図2に示されたシステムを実施するためのアンチヒューズプログラミング回路の好ましい実施形態が図3に示されている。図3の回路は、図2のNORゲート52と図2のアンチヒューズ12を用いており、これらの構成部品はそれ故、図3では同じ参照番号で示されている。アンチヒューズ12がプログラムされていないとき、回路グラウンドCGND入力は0ボルトのような低い電位にある。またアクティブな低プログラミング入力PROG*は高く、アドレス整合は存在し

ないことから、アクティブな低アドレス整合入力 AM^* も高い。したがって、NORゲート52の出力は低く、これにより、2つのインバータ60、62の各々

の出力は高くされる。インバータ60の出力における高状態は、キャパシタ64の一方のプレートに付与される。もう一方のインバータ62の出力における高状態は、NMOSトランジスタ68のゲートに付与され、これにより、NMOSトランジスタ68をオン状態とする。トランジスタ68はその後、キャパシタ64のもう一方のプレートをグラウンドに接続する。こうして、アンチヒューズ12がプログラムされていないときは、キャパシタ64は電源電圧に帯電される。

NORゲート52の低出力は、他のNMOSトランジスタ70のゲートにも付与され、これにより、NMOSトランジスタ70をオフ状態とする。したがって、アンチヒューズ12がプログラムされていないとき、NMOSトランジスタ70は、キャパシタ64とNMOSトランジスタ68をアンチヒューズ12から隔離する。NMOSトランジスタ74は、そのゲートに印加される電源電圧によって連続的にオン状態とされ、これにより、アンチヒューズ12の下部プレートをグラウンドにバイアスする。アンチヒューズ12の状態は、それ故、アンチヒューズがプログラムされていないときに、幾つかの従来手段のうちのいずれかで読み出され得る。

アンチヒューズ12がプログラムされるべきとき、プログラミング入力 $PROG^*$ は低くなり、アドレス整合を生じさせるために適当なアドレス信号が集積回路に付与され、これによって、アドレス整合入力 AM^* も低くなる。NORゲート52はその後、高状態を出力し、インバータ60、62の双方の出力の各々を低くする。インバータ60の出力における低状態により、キャパシタ64の上部プレートは直ちに電源電圧から0ボルトとされる。キャパシタ64両端の電圧は即座には変化し得ないことから、キャパシタ64のもう一方のプレートの電圧は、0から負電圧となる。実際、キャパシタ64の下部プレートにおける電圧は、負の電源電圧には到達しない。なぜなら、集積回路に用いる場合にはほとんどの場合、それは基板によってクランプされるからである。しかしながら、キャパシタ64の下部プレートはそれにもかかわらず、ほぼ負電圧に到達する。

インバータ62の出力における低状態は、NMOSトランジスタ68をオフ状態とし、NORゲート52の出力における高状態はNMOSトランジスタをオン状態とする。したがって、キャパシタ64の負電圧は、アンチヒューズ12の下

部プレートへ印加される。同時に、正電圧が回路グラウンドCGND入力へ印加され、これにより、アンチヒューズ12両端に、キャパシタ64における正のプログラミング電圧と負の電圧との間の差に等しいプログラミング電圧を与える。この比較的大きな電圧は、アンチヒューズ12を、比較的低いインピーダンスに向けて一様にプログラムするのに十分である。

アンチヒューズがブローされている時間中に、CGND入力からの正のプログラミング電圧がアンチヒューズ12とトランジスタ70を通じてキャパシタ64に印加される。キャパシタ64は、その後、正電圧に向けて帯電される。しかしながら、キャパシタ64の電圧が0ボルトへ帯電されたとき、それはNMOSトランジスタ74によってそこにクランプされるため、アンチヒューズ12両端の電圧は更には増加しないだろう。本発明の回路は、このように、アンチヒューズがプログラムされている間の、キャパシタ64の帯電時間に関連しない不確定の期間中、回路グラウンドCGND入力に印加される少なくとも正電圧のプログラミング電圧を保持する。

アンチヒューズ12がブローされた後、 $PROG^*$ と AM^* 入力は高くなり、これにより、もう一度、キャパシタ64を帯電させ、NMOSトランジスタ70をオフ状態として、アンチヒューズ12からキャパシタ64を隔離する。

図3の回路の様々なノードに存在する波形が図4A乃至Hのタイミング図で示されている。図4Aに示されているように、回路グラウンド入力CGNDは時間 t_0 において0から9ボルトへ高くなる。同時に、プログラム入力 $PROG^*$ とアドレス整合 AM^* は各々、図4B、Cにそれぞれ示されているように低くなる。NORゲート52、つまり、ノードAの出力は、その後、図4Dに示されているように高くなる。この低から高への遷移により、インバータ60、62、つまり、ノードB、Dの出力は、各々、図4F、Eに示されているように低くなる。キャパシタ64の下部プレート、つまり、ノードCにおける電圧は、その後、図4

Gに示されるように、インバータ60の出力に追随する。キャパシタ64の下部プレートにおける電圧は、図4Gに示されるように、0からほぼ-1.7ボルトへ落ち込む。最後に、図4Hに示されているように、CGNDの正に進んだ前縁(図4A)は、アンチヒューズ12を通じて容量結合され、これにより、アンチ

ヒューズ12の下部プレート、つまり、ノードEにおける電圧が最初は上昇する。その後、アンチヒューズ12の下部プレートにおける電圧は、ノードCによってほぼ-1.6ボルトまでプルダウンされる。NMOSトランジスタ74は長いチャンネルデバイスであって十分大きな抵抗を与えることから、トランジスタ74はキャパシタ64をそれほどは放電させないことにも気を付けてもらいたい。キャパシタ64(ノードC)における、および、アンチヒューズ12(ノードE)に印加された、電圧は、ブローされたアンチヒューズ12を通じてキャパシタ64が帯電されたときに線形的に増加する。しかしながら、アンチヒューズ12の下部プレートに印加される電圧は、図4Hに示されるように、決して0ボルト以上には増加しない。

本発明のプログラミング回路50を用いたコンピュータシステム80が図5に示されている。このコンピュータシステム80は、キーボード84のような入力デバイスや、ディスプレイ86のような出力デバイスに接続された従来設計のマイクロプロセッサ82を含む。マイクロプロセッサ82はまた、バスシステム88を通じて、ダイナミックランダムアクセスメモリ(「DRAM」)90に接続される。従来同様、DRAM90を用いる場合、DRAM90は、メモリセルのアレイ92と、欠陥のあることが発見されたアレイ92中のメモリセルの行を置換するために設けられたメモリセルの冗長行94を含む。冗長行94は、アンチヒューズ12を通じてグラウンドに接続されたイネイブル(動作可能)入力を有する。アンチヒューズ12は、プログラミング回路50の出力にも接続されている。上に説明したように、アドレス整合AM*信号を発生するために従来の回路素子(図示されていない)によってデコードされた所定のアドレスをマイクロプロセッサ82が出力したときは、プログラム入力PROG*を受け取った際に、プログラミング回路50は負電圧を出力する。プログラム入力PROG*は、ア

ンチヒューズ12がプログラムされるべきときに、従来の方法でプログラム発生器96によって発生される。プログラム発生器96は従来設計のものであることから、明確化および簡単化のため、詳細な記述は省略する。DRAM90が大量の付加的な回路素子を含むことは当業者には理解されよう。しかしながら、この付加的な回路素子は明確化と簡単化のため省略されている。

上のことから、本発明の特定の実施形態を説明を目的として記述しているが、様々な変形を本発明の意図および範囲から逸脱することなく行うことができることは理解されよう。故に、本発明は添付クレームによるもののようにより制限され、それ以外によって制限されるものではない。

【図1】

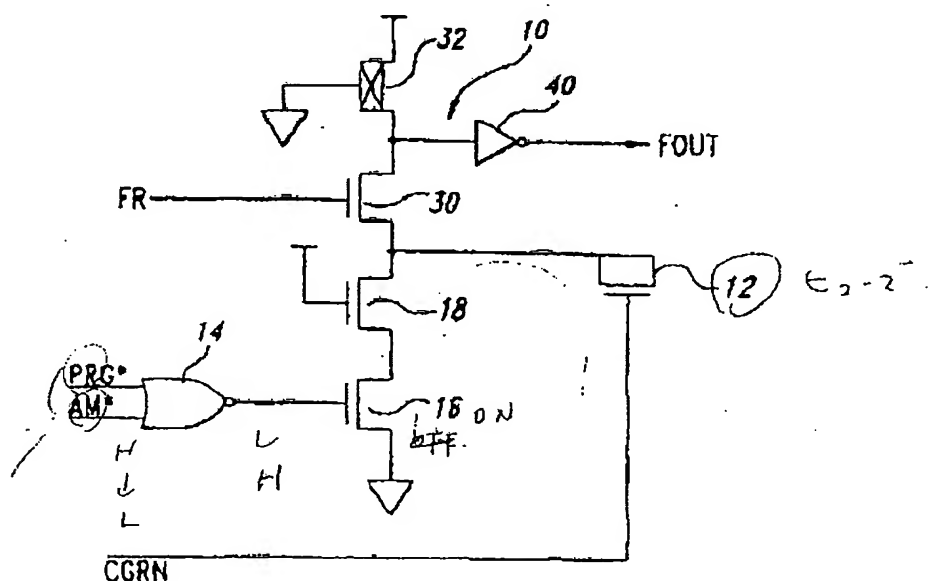


Fig. 1
(Prior Art)

【図2】

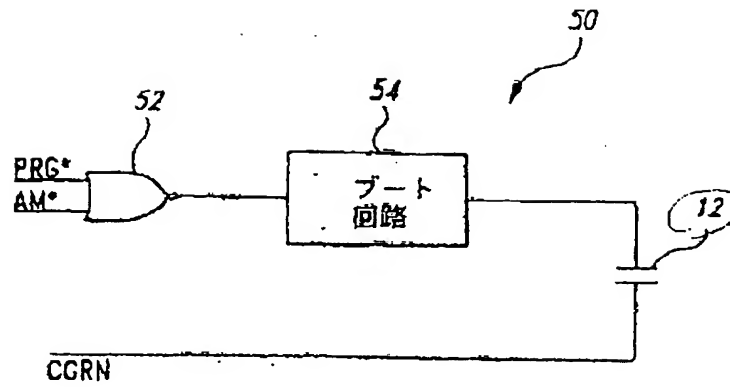


Fig. 2

【図3】

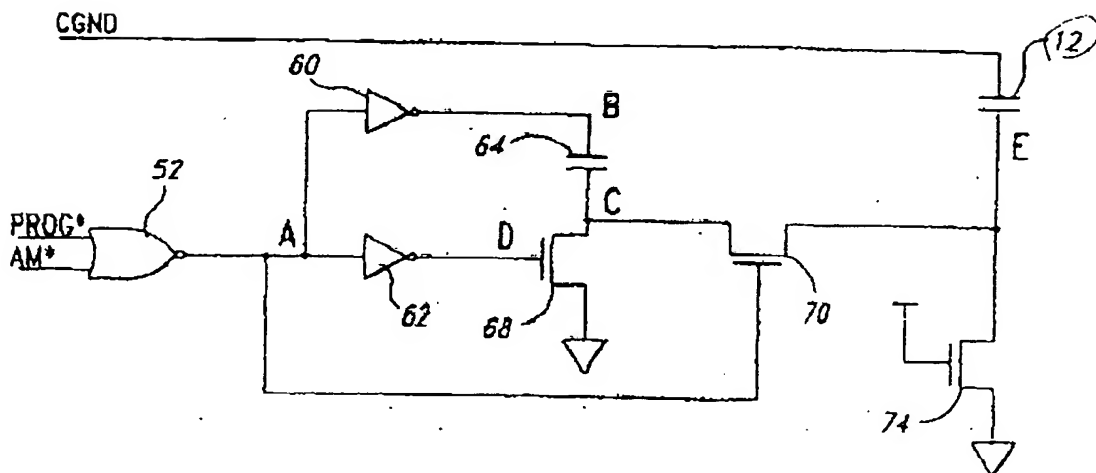


Fig. 3

【図5】

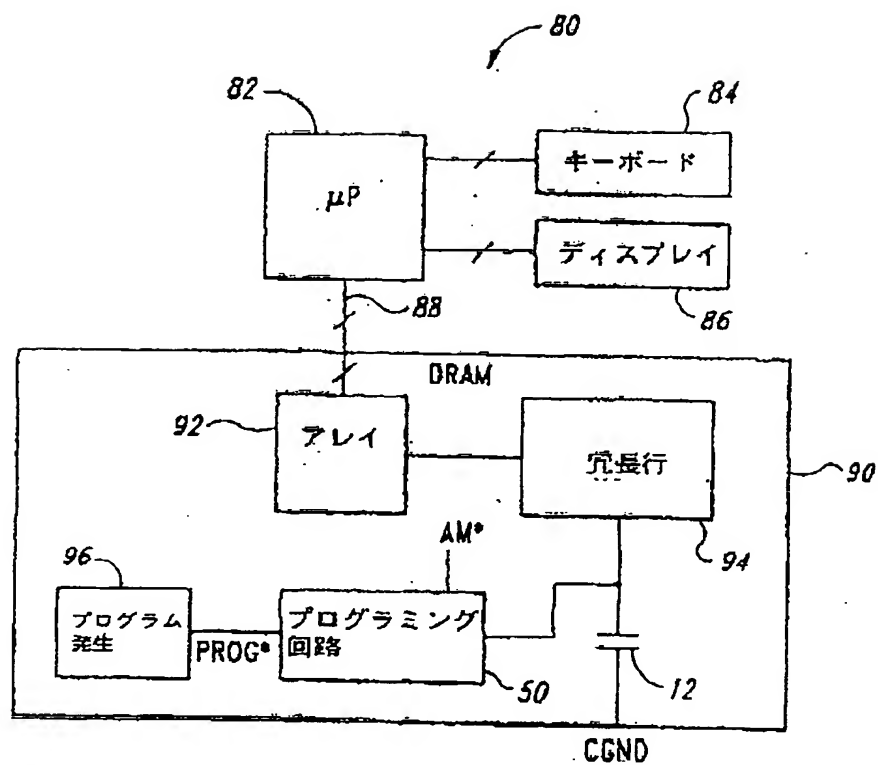
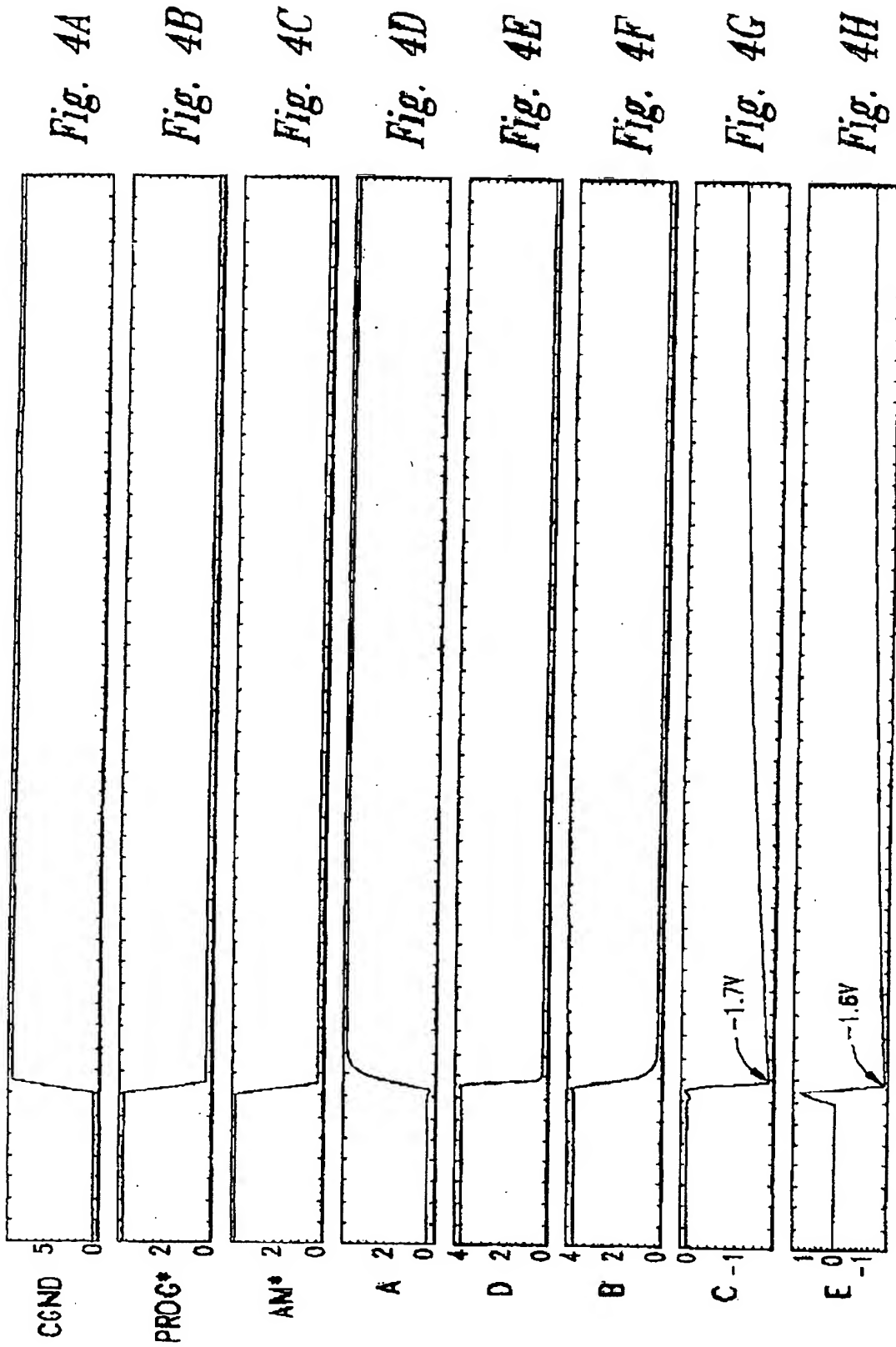


Fig. 5



INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US 97/09238

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L23/525 G11C17/16		
According to (International Patent Classification (IPC) or to both national classification and IPC)		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 316 971 A (CHIANG STEVE S ET AL) 31 May 1994 see column 4, line 42-57; figures 3,4 see column 5, line 11-52 see column 6, line 65 - column 7, line 12	1,2,9
Y A		18,24,27 3-8, 10-32
X	EP 0 436 247 A (PHILIPS NV) 10 July 1991 see column 2, line 47 - column 4, line 28; claims 3-5; figures 1,2	1,2,8,9, 16,17
A	US 4 775 959 A (SATO KATSUYUKI ET AL) 4 October 1988 see column 8, line 8 - column 13, line 11; figures 2,3	5,10,12, 14,20,31
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of part C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "I" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understate the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other cited documents, such combinations being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 25 September 1997		Date of mailing of the international search report 14.10.97
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentstein 2 NL - 2210 EV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 ops af, Fax (+31-70) 340-3016		Authorized officer Blackley, W

INTERNATIONAL SEARCH REPORT

International Publication No.

PCT/US 97/09238

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indications, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 299 152 A (ISHIHARA HIROSHI ET AL) 29 March 1994 see column 2, line 56 - column 3, line 44; figures	1-32
A	CALLIGARO C ET AL: "POSITIVE AND NEGATIVE CMOS VOLTAGE MULTIPLIER FOR 5-V FLASH MEMORIES" 13 August 1995, 38TH. MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS: PROCEEDINGS, RIO DE JANEIRO, AUG. 13 - 16, 1995, VOL. VOL. 1, NR. SYMP. 38, PAGE(S) 294 - 297, CALOBA L P; DINIZ P; DE QUEIROZ A; WATANABE E H (EDS) XP000684571 see the whole document.	5,10,12, 14,20,31
A	PATENT ABSTRACTS OF JAPAN vol. 007, no. 099 (E-172), 27 April 1983 & JP 58 021856 A (NIPPON DENKI KK), 8 February 1983, see abstract	15,23,32
V	US 5 319 592 A (NGUYEN HUY S) 7 June 1994 see column 9, line 54 - column 10, line 26; figure 6	18,24,27

Form PCT/ISA/210 (continuation of second sheet) (July 1997)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 97/09238

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5316971 A	31-05-94	JP 6196565 A	15-07-94
EP 0436247 A	10-07-91	US 5056061 A	08-10-91
		DE 69030168 D	17-04-97
		DE 69030168 T	21-08-97
		JP 6075020 A	18-03-94
US 4775959 A	04-10-88	JP 61059688 A	27-03-86
		SG 157794 A	17-03-95
		DE 3586791 A	10-12-92
		EP 0173980 A	12-03-86
		HK 85295 A	09-06-95
		KR 9401638 B	28-02-94
		KR 9401640 B	28-02-94
		KR 9401641 B	28-02-94
		KR 9401642 B	28-02-94
		KR 9401643 B	28-02-94
		US 4964082 A	16-10-90
		US RE34797 E	22-11-94
US 5299152 A	29-03-94	JP 2113799 C	06-12-96
		JP 4061155 A	27-02-92
		JP 8031564 B	27-03-96
		US 5119163 A	02-06-92
US 5319592 A	07-06-94	NONE	

Form PCT/ISA/210 (patent family annex) (July 1993)

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, KE, LS, MW, SD, SZ, UG), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, G E, GH, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, P L, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, UZ, VN, YU

(72)発明者 スミス エリック ジェイ
アメリカ合衆国 アイダホ州 83712 ボ
イス アベニュー エイチ 455 アパー
トメント 102